

(11)Publication number:

11-119698

(43)Date of publication of application: 30.04.1999

(51)Int.CI. G09F 9/33 G09G 3/32

(21)Application number: 09-287284 (71)Applicant: NEC CORP

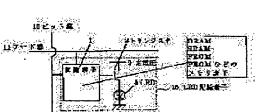
(22)Date of filing: 20.10.1997 (72)Inventor: NAKAMURA AKIRA

(54) LED PANEL WITH BUILT-IN VRAM FUNCTION

(57)Abstract:

PROBLEM TO BE SOLVED: To provide an LED panel with a built-in VRAM function which eliminates the need for VRAM and a display controller, contributes to reduce a cost in a whole system and an area and increases a plotting speed.

SOLUTION: An LED 3 selected from an external system through a bit line 10 and a word line 11 is able to write data to a storage element 1. Since the data written in the storage element 1 are drawn out to the outside and are connected to the base or the gate of a transistor 2 (a PNP bipolar transistor or an n-type MOS FET (enhancement) is assumed in order to make a characteristic to switch ON with '1' and switch OFF with '0' have), the light emission—switching of the LED 3 is performed in accordance with the voltage deviation of the data written in this storage element 1.



LEGAL STATUS

[Date of request for examination]

20.10.1997

[Date of sending the examiner's decision of rejection] 28.03.2001

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japan Patent Office

This Page Blank (uspto)

.

Japanese Publication for Unexamined Patent Application
No. 119698/1999 (Tokukaihei 11-119698)

(A) Relevance to claim

This document has relevance to <u>claim 1</u> of the present application.

(B) <u>Translation of the Relevant Passages of the Document</u>

[WHAT IS CLAIMED IS]

[CLAIM 1]

An LED panel with a built-in VRAM function comprising:

an input address port which serves as an address or an input port of an address control signal;

a row address decoder for decoding a row address with respect to the address or the address control signal inputted to the address port;

a column address decoder for decoding a column address with respect to the address or the address control signal inputted to the address port;

LED memory cell arrays, each of the LED memory cell arrays being surrounded by a decoder line of the row address decoder and a decoder line of the column address decoder in a grid manner; and

an input/output buffer whose buffer direction is controlled in accordance with a writing or reading

This Page Blank (uspto)

control signal with respect to a data port.

[CLAIM 2]

The LED panel with a built-in VRAM function as set forth in claim 1, wherein the LED memory cell arrays are cell arrays, a number of the cell arrays being equal to M \times N (M, N are arbitrary natural numbers) of a single LED element.

[DESCRIPTION OF EMBODIMENT]

The LED panel with a built-in VRAM function is arranged as follows. The row address decoder 5 for decoding the row address and the column address decoder 6 for decoding the column address are provided with respect to the address/address control signal 12 that has been inputted to the address port 4 in FIG. 3, and both decoder lines are provided in a grid manner. The LED memory array 7 corresponds to an intersected portion of both decoders, and the input/output buffer 8 whose buffer direction is controlled in accordance with the writing or reading control signal 13 with respect to the data port is provided.

This Page Blank (uspto)

<u>8</u>

Þ 噩

体配分据(A)

特開平11-119698 (11) 存葬田辰公民命中

(49)公開日 平成11年(1999) 4月30日

(51) Int CI. G0 8F 9809 9/33 3/32 **在3月8日** G09F 9609 9/33 52/9

新来班公 省 学会区の第6 5 (金4月)

(22) HIMME 平成9年(1997)10月20日 (21)出資辞号

学院学9-287284

(71)出版人 00004237 東京都構区之五丁目7番1号 日本電気構式会社

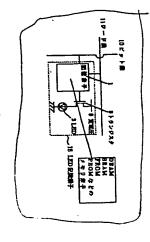
(72) 発明者 金子 東京都格区芝五丁目7番1号 日本電気体

(74)代理人 弗理士 岩林 忠 (外4名)

(54) 【発明の名称】 VRAM機械内臓のLEDパネル

なるVRAM根据内膜のLEDパネルを紹供する。 ム全体でロウコスト、面積箱小に貫献し、描画が高速に 【課題】 VRAMや表示コントローラが不要でシステ

せるためPNP型パイポーラトランジスタあるいはN型 対し書き込み可能となる。記憶業子1内で書き込まれた 子1内で書き込まれたゲータの電圧変移によるLED3 MOSFET (エンハンスメント) を想定する)2のペ データを外に引き出し、これをトランジスタ("1"で ースあるいはゲートに接続されているため、この記憶業 スイッチ〇m,"0"でスイッチ〇FIナる特性をもた 線)1 で選択されたLED3に関し、まず記憶兼子1に 【解決年段】 外部システムからピット練10、ワード



ートとしての入力アドレスポートと、 『一語求項1】 アドレス又はアドレス財政信号の入力ポ

放了ドレス入力ポートに入力された前記プドレス又はア ウナドレスデコーダと、カラムプドレスをデコードする カラムナドレスデコーダと, ドレス慰御信号に対し、ロウブドレスをデコードするロ

前記ロウブドレスデコーダのデコーダ線と、前記カラム EDメモリセルアレイと、 アドレスデコーダのデコーダ線とが格子状配置されたL

の1素子のM×N分(M、Nは任意の自然数)のセルブ れる、VRAM機能内臓のLEDパネル。/ 【請求項2】 前記しEDメモリセルアレイは、LED ュータポート個への書き込み又は脱み込み制御信号によ パッファ方向制御される入出力パッファとから構成さ

れたしEDメモリセルアレイである間求項 2に記載のV 子状配便の交点に前記しEDの1素子が対応して配信さ 減のLEDパネル。 RAM概能内膜のしEDパネケ。 [開水項3] 前記LEDメモリセグアレイは、前記格

子とトランジスタとから構成される臍求項2又は請求項 3に記載のVRAM機能内臓のLEDパネル。 【請求項4】 前記LEDの1素子は、LEDと記憶素

ラトランジスタ又はN型MOSFETである請求項もに る情水項4に記載のVRAM最短内膜のLEDパネル。 **納されているゲータ値で反応するスイッチング回路であ** 記載のVRAM報館包織のUEDパネケ。 【讃求項 5】 - 前記トランジスタは、前記記憶衆子に持 【請求項6】 前記トランジスタは、PNP型バイボー

光限の詳細な技用

ス等の画像ゲータ記憶及び表示機能を有するVRAM機 値内膜のLEDパネルに関する。 【鬼吼の眞十る技術分野】コンピュータのグラフィック [0001]

ーラがVRAMから表示用データ成み出しなパネル用信 いてパネルとは独立してVRAMを配し、表示コントロ を行い、焦に表示ロントローラを介して国領ゲータの倫 **身に変換し、プロセッサ等からの抽画の際は、表示ロン** 3と据み33みを行っていた。 トローラがVRAMへの直接アクセスを慰却して成選化 【従来の技術】 グラフィックス等のパネル表示技員にお 00021

以下の問題点がある。 【発明が解決しようとする課題】上述の従来の技術には [0003]

彼データを更新するため、VRAMから顕微データを皮 別的に説み込む作業が発生し、指面時間を圧迫し性態段 {0004} 第1の問題点は、Vuync毎に新たな面

> め、この時間分階面性健康下につながるためである。 ているVRAMがら最繁情報を説み出すことが必要なた sync毎に一安させるため、常に描画データを格納し [0005] その理由は、描画ゲータと表示ゲータをV [0006] 第2の問題点は、表示デバイス専用の表示

り、特に液晶パネルでは原律規格がないため、フレキシ プルな表示回路を必要とするため、コストアップとなる 【0007】その理由は、表示デバイス毎に規格が異な コントローラを開発する必要があり、コスト南につなが

飲し、描飯が高速になるVRAM機能内蔵のLEDパネ ---ラが不要でシステム全体でロウコスト、面積縮小に貫 **小を結束することにある。** 【000B】本発明の目的は、VRAMや表示コントロ

[0009]

アイから構成される、請求項1に記載のVRAM機能内

対し、ロウアドレスをデコードするロウアドレスデコー 膜のLEDパネルは、アドレス又はアドレス慰詢信号の ダと、カラムアドレスをデコードするカラムアドレステ **入力ポートとしての入力アドレスポートと、アドレス**♪ み又は配み込み倒御信号によりパッファ方向制御される LEDメキリセルアレイと、ゲータボート包への律を込 ムアドレスデコーダのデコーダ線とが格子状配置された コーダと、ロウナドレスデコーダのデコーダ繰と、カラ カポートに入力されたアドレス又はアドレス処御信号に 入出力パップァとから構成される。 【課題を解決するための手段】本発明のVR AM機能序

の1素子のM×N分(M、Nは任意の自然数)のセルブ 【0010】また、LEDメモリセルアレイは、LED フイかの疾疫されてもよい。

配信の交点にLEDの1 第子が対応して配置されたしE Dメキリセグアレイであらてもよい。 [0011] また、LEDメモリセクアレイは、格子択

子とトランジスタとから構成されてもよい。 【0012】また、LEDの1素子は、LEDと記憶器

れているゲータ値で反応するスイッチング回路であって 【0013】また、トランジスタは、記憶兼子に協納さ

ラトランジスタ又はN型MOSPETであってもよい。 メモリセルと 1対 1 でLEDを配しているため、表示パ AMと同じ構成になるため、ページアクセスも可能で、 【0015】即ち、本発明は、以上の構成により、DR {0014] また、トランジスタは、PNP型バイボ・

ッシュが不要となり、性配向上に寄与する。 【0016】又、表示用コントローラからの表示リフレ

めため、ロストダウンの効果もわる。 【0017】さらに、表示パネル用表示回路が不要にな

構成をとることでDRAMと同じアクセス動作が可観に [0018] 依って記稿数子は、DRAMのメモリセル 8

本品中11-119698

3

3

[0019] 又、LEDは記憶素子との優様により記憶 昇子の格熱ゲータにより0ヵ/0~「倒街ができ、配徳 [0020]以上のようにして描画性配向上と、表示コ 素子の格格データを反映した表示が可能になる。 なり、データ格納と高速描画作用が可能になる。

[晃明の実施の形態] 本発明の実施の形態の構成を図面 (0021)

ントローラ不要にすることが可能になる。

は任尊の自然数)のセルアレイ(LEDメモリセルアレ のLED記憶兼子15を図2のようにM×N分 (M, N [0022] LED (発光ダイオード) 3と配徳君子1 とトランジスタ2とを図1のように傍暁した1帯子(こ れを以降しED記憶禁子15とする)として構成し、こ を用いて以明する。

配し、双方のデコーダ線を格子状配置する。この格子状 ポート側に音き込み/脱み込み耐御信号13によりパッ ファカ向向街される入出力パッファ8を配して、VRA ムアドレスをゲコードするカラムアドレスデコーダ6を [0023] 図3においてアドレス入力ポート4に入力 ドレスをデコードするロウアドレスデコーダ6と、カラ 配置の交点にLEDメモリアレイ7を対応させ、データ [6024] 次に、本発明が英属の形態の動作を図面を されたアドレス/アドレス耐御信号12に対し、ロウア M版館内積のLEDパネルを構成する。 インしを確成する。

[0025]まず、図1を使用して動作原理を説明す 用いて説明する。

【0028】 LED配售券子15に対する書き込み時の LED発光の動作原理を説明する。

チョに対し書き込み可能となる。配慮条子1内で書き込 ("1" TX1 "FON. "0" TX1 "FOF 175 ワード練11で選択されたLED3に関し、まず配修者 [0027] 最初に、外部システムからピット様10. まれたデータを外に引き出し、これをトランジスタ

るいはN型MOSFET (エンハンメメント) を想定す 特性をもたせるため b N P型バイボーラトランジスタあ この記憶業子、1内で書き込まれたデータの電圧変移によ る) 2のベースあるいはゲートに接続されているため、 るLED3の発光スイッチングを行う。

[0028] 次に図2及び図3を使用して動作原理を説 [0029] 本LED配態素子15は、従来メモリのよ

ク様成にすることで従来メモリと同じアクセス動作が可 うに図2のメモリセル構成をとり、図3のようにブロッ

[0031] システムから相定されたVRAMTドレス がアドレス入力ポート4に入力され、その後ロウアドレ データ音を込みに関し説明する。

[0030] まず、システムから本パネルに対する教示

[0032] 一方、システムから書き込むデータは、入 スチューダ 5 でしEDメモリセルアレイ 7 のロウアドレ スがでコードされ、カラムアドレスデコーダ6でLED 出力パッファ8に入力され、書き込み制御信号13によ り入出力パッファ8は入力包に貶御され、アット様10 を介して上述で指定されたLED配修索子 1 5 内の配修 この2つのチョード線の交点に配されたワード線11を メモリセンアフイフのカタムアドレスがデュードされ、 介してLED配信素子15が指定される。

[0033] このとき、"1"で書き込まれると、トラ ・ンジスタの特性によりLED発光し、"0"が審き込ま れると同様にLEDは発光しない。 妻子1に書き込まれる。

[0034]また、本パネルかちの投示データ既み込み 社、上述と同様にLED配慮兼子15を指定し、既み込 み制御信号 13により入出力パッファ8は出力風に耐御 され、LED配售業子15に接続されているピット棒1

えみ込みが可能で、書き込んだゲータ値によりLED兒 [0036] 以上のようにじて表示データの書き込み/ 0を通してデータ既み込みが行われる。

[0036] なお、表示データ記憶と表示素子が1対1 **食税されているため、従来表示方式である表示リフレッ** フュ (表示データ説み込み制御) が不要となる。 光配御できる。

|発明の効果| 以上説明したように本発明は、以下の効 [0037]

や、これが表示素子 (発光素子) でわるLEDに直結し ているため、外部に表示用メモリや表示制御回路を必要 としないため、グラフィックサブシステムでVRAMや [0038] 第1の効果は、本パネル内に配慮素子内蔵 表示コントローラが不要でシステム全体でロウコスト、 果がある。

回路が必要なく、描画専用回路のみでよいため、従来の 表示リフレッシュがない分、福岡に時間を掛けられるた [0039] 第2の効果は、第一の効果により表示制御 も、毎週が鬼遊になることである。 面積縮小に貢献することである。

|図面の簡単な説明|

[図2] LEDメモリセルアレイの構造図である。 |図3| LEDパネルのプロック構成図である。 【図1】 LED配信素子の構成図である。

尼信班子 (存号の説明)

ロウナドレスデコーダ アドワメ入むボート

LED (発光ダイオード)

トランジスタ

しEDメモリセルアレイ カラムアドレスデコーダ

入出力パッファ

書き込み/桃み込み制御信号 [図2] LED配像素子 福風ゲータ 13 1 5 DRAM BRAM FROM & E O y e y se ? LED PURKT 1197020 - X <u>8</u> アドレス/アドレス制御信号

ワード集 アン・ガ

0

(<u>8</u>3)